



(19)

(11) Publication number:

05182904 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04000536

(51) Int'l. Cl.: H01L 21/027 H01L 21/302

(22) Application date: 07.01.92

(30) Priority:

(43) Date of application publication: 23.07.93

(84) Designated contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: MARUYAMA TAKASHI
KITAZAWA OSAMU

(74) Representative:

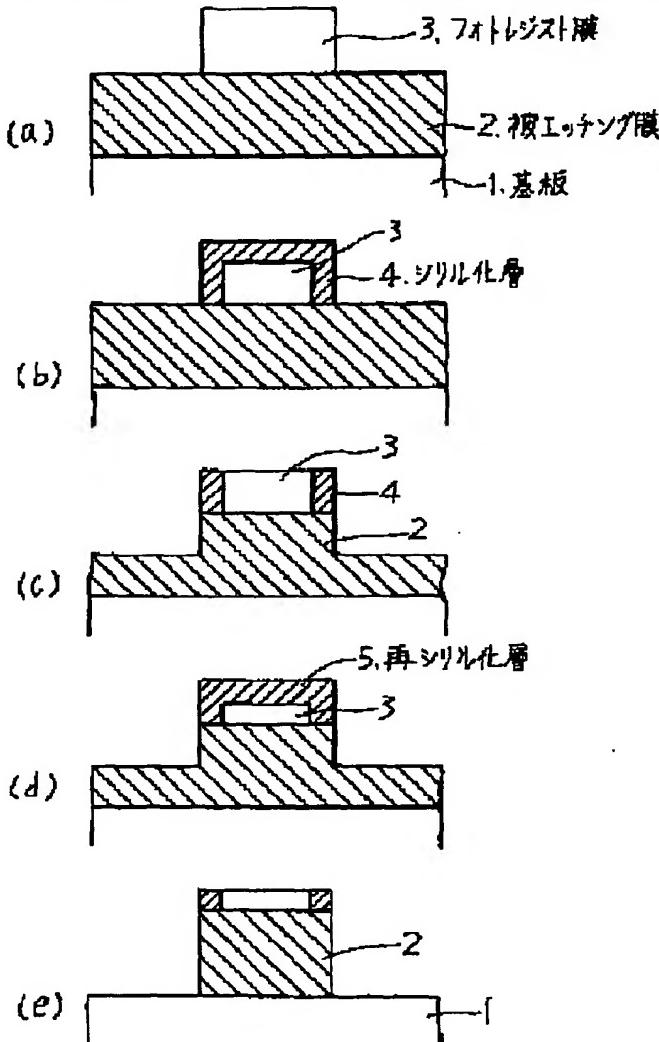
(54) FORMING METHOD FOR PATTERN

(57) Abstract:

PURPOSE: To form a pattern of a thick film to be etched by efficiently silylating a photoresist film in a method for forming a pattern with the photoresist film.

CONSTITUTION: The method for forming a pattern comprises the steps of coating a film 2 to be etched on a board 1 to pattern it, silylating a photoresist film 3 by dipping the film in organic silane liquid or exposing it in organic silane vapor, etching the film 2 to be etched to the midway in a thickness direction with the silylated film 4 as a mask, resilylating the silylated film 4 by again dipping it in the organic silane liquid or exposing it in the organic silane vapor, and etching the film 2 until the board 1 is exposed with the resilylated photoresist film 5 as a mask.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-182904

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 01 L 21/027 21/302	H 7353-4M 7352-4M	H 01 L 21/ 30		3 6 1 P

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号	特願平4-536	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成4年(1992)1月7日	(72)発明者	丸山 隆司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	北澤 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 井桁 貞一

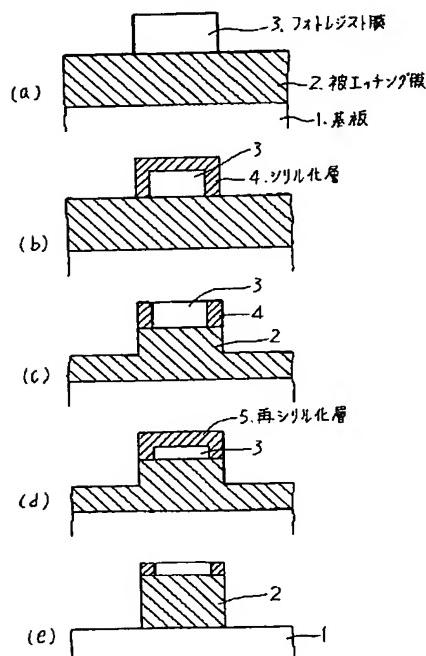
(54)【発明の名称】 パターン形成方法

(57)【要約】

【目的】 本発明は、フォトレジスト膜によるパターン形成方法に関し、フォトレジスト膜のシリル化を、効率良く、深い場所まで行って、厚い被エッチング膜のパターン形成を行うことを目的とする。

【構成】 基板1上の被エッチング膜2にフォトレジスト膜3を被覆し、パターニングする工程と、フォトレジスト膜3を有機シラン液中に浸漬、或いは有機シラン蒸気中に曝気して、シリル化する工程と、シリル化されたフォトレジスト膜4をマスクとして、被エッチング膜2を厚さ方向に途中までエッチングする工程と、シリル化されたフォトレジスト膜4を再び、有機シラン液中に浸漬、或いは有機シラン蒸気中に曝気して、再シリル化する工程と、再シリル化されたフォトレジスト膜5をマスクとして、被エッティング膜2を基板1が露出するまでエッチングする工程とを有するように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 基板(1) 上の被エッチング膜(2) にフォトレジスト膜(3) を被覆し、該フォトレジスト膜(2) をパターニングする工程と、
該フォトレジスト膜(3) を有機シラン液中に浸漬、或いは有機シラン蒸気中に曝気して、少なくとも該フォトレジスト膜(3) の表面をシリル化する工程と、
シリル化された該フォトレジスト膜(3) をマスクとして、該被エッチング膜(2) を厚さ方向に途中までエッチングする工程と、
該フォトレジスト膜(3) を再び、有機シラン液中に浸漬、或いは有機シラン蒸気中に曝気して、該フォトレジスト膜(3) の表面を再シリル化する工程と、
再シリル化された該フォトレジスト膜(3) をマスクとして、該被エッチング膜(2) を基板(1) が露出するまでエッチングする工程とを有することを特徴とするパターン形成方法。

【請求項2】 前記フォトレジスト膜(3) の再シリル化処理の工程と、前記被エッチング膜(2) の深さ方向の途中迄のエッチング処理の工程とを複数回繰り返すこととを特徴とする請求項1記載のパターン形成方法。

【請求項3】 前記フォトレジスト膜(3) のシリル化処理の際に、該フォトレジスト膜(3) の表面に遠紫外線を照射することを特徴とする請求項1及び2記載のパターン形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、有機ポリマーからなるフォトレジスト膜に対して、有機シランを付加してシリル化し、ドライエッティングにより被エッチング膜を加工する際の、レジスト膜パターンを強固にした、高効率、高精度、高解像度なパターン形成方法に関する。

【0002】 半導体や各種デバイス用基板上のパターン形成に適用する。

【0003】

【従来の技術】 図4はフォトレジスト膜のシリル化層の厚さとシリル化時間依存性、図5は従来例の説明図である。

【0004】 図において、11は基板、12は被エッチング膜、13はフォトレジスト膜、14はシリル化層である。フォトレジスト膜である有機ポリマーのシリル化、及びドライエッティングによるフォトレジスト膜をマスクとした被エッチング膜のパターン形成方法において、先ず、フォトレジスト膜のシリル化に際しては、一般にシリル化していく早さが時間と共に遅くなっていく。

【0005】 そのため、ドライエッティングに十分耐えられる深さまでフォトレジスト膜をシリル化する為には非常に多くの時間を要する。また、遠紫外線の光照射をシリル化中にフォトレジスト膜の表面に対して行う場合には、フォトレジスト膜による光の吸収が多く、シリル化

反応が励起される深さがフォトレジスト膜の表面に限られる為に、フォトレジスト膜が薄く、被エッチング膜が厚いと、エッチングの際の十分なマスク性が得られず、問題となっていた。

【0006】

【発明が解決しようとする課題】 即ち、フォトレジスト膜のシリル化においては、一般に図4に示すように、シリル化層が形成されていく早さが時間と共に遅くなっていくが、そのため、ドライエッティングに十分に耐える深さまでシリル化層を形成するためには、非常に多くの時間を要することとなる。

【0007】 また、遠紫外線の光照射をシリル化中に行って、シリル化反応を励起する場合には、ポリマーによる光の吸収が一般に強く、シリル化反応が励起される深さが表面付近に限られるため、フォトレジスト膜が薄く、被エッチング膜が厚いと、エッチングの際の十分なマスク性が得られない。

【0008】 例えば、図5(a)に示すように、基板11上の被エッチング膜12のドライエッティング用のマスクとなるフォトレジスト膜13のパターニングを行い、続けて、図5(b)に示すように、表面にシリル化層14を形成し、被エッチング膜12をシリル化層14により耐エッチングガス性を強化したフォトレジスト膜12をマスクとして、ドライエッティングする。

【0009】 この時、図5(c)に示すように、限られた時間でシリル化層14を形成したフォトレジスト膜12では、ガスによりシリル化層14自体もエッチングされ、十分な耐エッチング性が発揮できず、十分なマスク性を発揮できない。

【0010】 そのため、甚だしい場合には、図5(d)に示すように、シリル化層14のないフォトレジスト膜12の部分もドライエッティングされて、被エッチング膜12までも、エッチングにより損傷することとなる。

【0011】 これを解決するために、フォトレジスト膜13のシリル化を効率良く、有効に行う方法の開発が必要となる。本発明は、この様な問題に対処する方法を提示するものである。

【0012】

【課題を解決するための手段】 図1は本発明の原理説明図である。図において、1は基板、2は被エッチング膜、3はフォトレジスト膜、4はシリル化層、5は再シリル化層である。

【0013】 本発明は、上記目的達成のため、フォトレジスト膜3表面にシリル化層4を形成後、フォトレジスト膜3をマスクとして被エッチング膜2をドライエッティングにより加工する工程において、エッチングを一旦、中断し、再度フォトレジスト膜3表面に再シリル化層を形成した後、再びドライエッティングを行って、被エッチング膜2のパターン形成を行う。

【0014】 また、必要に応じて、このフォトレジスト

膜3のシリル化から被エッチング膜のドライエッティングのプロセスサイクルを数回繰り返す。即ち、本発明の目的は、図1(a)に示すように、基板1上の被エッチング膜2にフォトレジスト膜3を被覆し、該フォトレジスト膜2をバーニングする工程と、図1(b)に示すように、該フォトレジスト膜3を有機シラン液中に浸漬、或いは有機シラン蒸気中に曝気して、少なくとも該フォトレジスト膜3の表面をシリル化する工程と、図1(c)に示すように、シリル化された該フォトレジスト膜3をマスクとして、該被エッチング膜2を厚さ方向に途中までエッチングする工程と、図1(d)に示すように、該フォトレジスト膜3を再び、有機シラン液中に浸漬、或いは有機シラン蒸気中に曝気して、該フォトレジスト膜4の表面を再シリル化する工程と、図1(e)に示すように、再シリル化された該フォトレジスト膜3をマスクとして、該被エッチング膜2を基板1が露出するまでエッチングする工程とを有することにより、また、前記フォトレジスト膜3の再シリル化処理の工程と、前記被エッチング膜2の深さ方向の途中迄のエッチング処理の工程とを複数回繰り返すことにより、更に、前記フォトレジスト膜3のシリル化処理の際に、該フォトレジスト膜3の表面に遠紫外線を照射することにより、達成される。

【0015】

【作用】本発明では、上記のように、フォトレジスト膜のシリル化反応を繰り返し行うため、フォトレジスト膜のシリル化処理の時間が従来より効率的に短縮され、処理能力の向上が図れる。

【0016】また、遠紫外線を照射してシリル化処理を行う場合にも十分なマスク性を得ることができる。

【0017】

【実施例】図2、図3は本発明の一実施例の工程順模式断面図である。図において、6はSi基板、7はAl膜、8はポリイミド膜、9はフォトレジスト膜、10はシリル化層である。

【0018】図2(a)に示すように、素子が形成され、カバー SiO_2 膜にスルーホールが形成されたSi基板6上にスパッタ法によりAl膜7を $2\ \mu\text{m}$ の厚さに被覆する。このような厚いAl膜7を塩素系ガスによりドライエッティングするためには、通常のフォトレジスト膜では耐エッティング性が困難であり、フォトレジスト膜をシリル化し、更に、フォトレジスト膜の下地として耐塩素系ドライエッティング性の有機ポリマー、例えばポリイミド樹脂等のレジスト膜とフォトレジスト膜との二層レジスト膜が耐ドライエッティングマスクとして用いられる。

【0019】即ち、Al膜7上に下層レジスト膜として、ポリイミド膜8を $3\ \mu\text{m}$ の厚さに被覆し、その上に上層フォトレジスト膜として、ノボラック系のポジ型フォトレジスト膜9を $6,000\ \text{\AA}$ の厚さに塗布する。

【0020】電極配線形成用のマスクを用いて、フォト

レジスト膜9の露光並びに現像を行い、フォトレジスト膜9をバーニングする。この後、図2(b)に示すように、遠紫外線をバーニングされたフォトレジスト膜9の表面に照射しながら、フォトレジスト膜9のシリル化処理を行う。この際、シリル化剤として、有機クロルシランガスを用い、チャンバ内圧力を 200Torr として、Si基板6及びプロセスガスの温度は常温に保つ。遠紫外線照射の光源には低圧水銀ランプを用い、フォトレジスト膜9に対する照射強度は 60mW/cm^2 とする。

【0021】この水銀ランプの場合、遠紫外領域には、 185nm と 254nm の輝線を有しているが、ノボラック系のフォトレジスト膜9の場合、特に、 185nm の光はフォトレジスト膜9の表面の数百 \AA で吸収されてしまう。

【0022】また、 254nm の光でも、 $0.1\ \mu\text{m}$ の深さ当たり 10% 程度の割合で光が吸収・減光されてしまうため、フォトレジスト膜9の表面より深さ方向に光が入射した下側の部分はシリル化されにくい。

【0023】この事にもとづき、以上の条件でシリル化を行うと、フォトレジスト膜9の表面から、 $0.3\ \mu\text{m}$ 程度のシリル化層10を得るのに 10分間 も要するが、半分の $0.15\ \mu\text{m}$ までのシリル化層10を得るのには、 2分間 のシリル化処理で達成できることとなる。

【0024】そこで、フォトレジスト膜9を上記の条件で 2分間 のシリル化処理を行う。その後、図2(c)に示すように、表面から $0.15\ \mu\text{m}$ までの深さにシリル化層10が形成されたフォトレジスト膜9をマスクとして、ポリイミド膜8のドライエッティングを、ポリイミド膜8の厚さ $3\ \mu\text{m}$ の半分の厚さまで行い、一旦、ポリイミド膜8のドライエッティングを中止する。

【0025】図2(d)に示すように、前記のシリル化と同じ条件で、再度、フォトレジスト膜9の表面に 2分間 のシリル化が行われ、再び、厚さ $0.15\ \mu\text{m}$ のシリル化層10がフォトレジスト膜9の表面に形成される。

【0026】図3(e)に示すように、再び、ポリイミド膜8のエッティングを行い、ポリイミド膜8のバーニングを完了する。図3(f)に示すように、ポリイミド膜8をマスクとして、 $2\ \mu\text{m}$ の厚さのAl膜7を塩素系のガスを用いて異方性ドライエッティングを行い、サブミクロンのシャープな形状の電極配線を得ることができる。

【0027】

【発明の効果】本発明によれば、以上説明したように、フォトレジスト膜のシリル化処理が従来より短時間で効率良く行われ、電極配線等のシャープなパターンの形成方法に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の一実施例の工程順模式断面図(その1)

【図3】 本発明の一実施例の工程順模式断面図(その2)

2)

【図4】 フォトレジスト膜のシリル化層の厚さとシリル化時間依存性

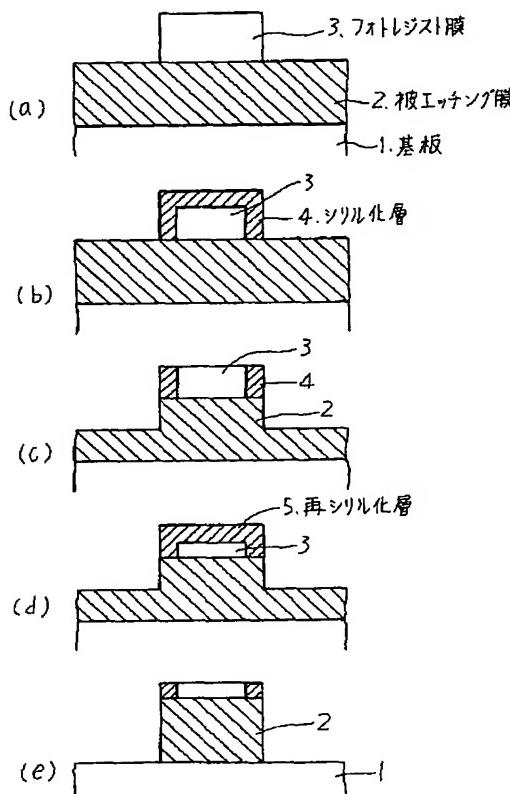
【図5】 従来例の説明図

【符号の説明】

- 1 基板
- 2 被エッティング膜
- 3 フォトレジスト膜

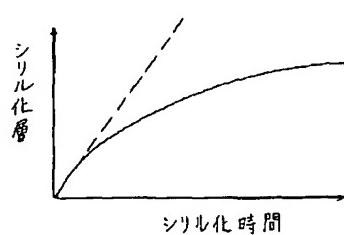
【図1】

本発明の原理説明図



【図4】

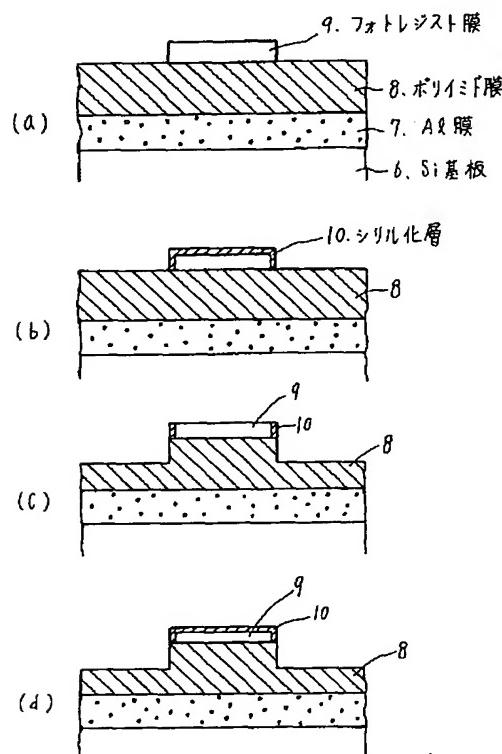
フォトレジスト膜のシリル化層の厚さとシリル化時間依存性



- 4 シリル化層
- 5 再シリル化層
- 6 Si基板
- 7 Al膜
- 8 ポリイミド膜
- 9 フォトレジスト膜
- 10 シリル化層

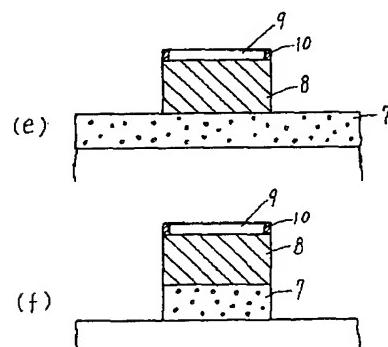
【図2】

本発明の一実施例の工程順模式断面図(その1)



【図3】

本発明の一実施例の工程順模式断面図(その2)



【図5】

従来例の説明図

